

*P. A. Ushakov*, DSc in Engineering, Professor, Kalashnikov Izhevsk State Technical University  
*S. A. Shirokikh*, Post-graduate, Kalashnikov Izhevsk State Technical University

### Model of Aluminum Electrolytic Capacitor as Element with the Distributed Parameters

The paper considers principles of developing the model of aluminum electrolytic capacitor as the element with the distributed parameters (AEC-EDP) and identification of its parameters. Impedance frequency characteristics of the proposed model are compared with frequency characteristics of AEC samples.

**Key words:** aluminum electrolytic capacitor, elements with distributed parameters, equivalent circuit, model parameters identification.

УДК 519.1(075.8)+510.6(075:8)

**С. Ф. Тюрин**, доктор технических наук, Пермский национальный исследовательский политехнический университет  
**А. М. Морозов**, студент, Пермский национальный исследовательский политехнический университет  
**И. С. Понуровский**, аспирант, Пермский национальный исследовательский политехнический университет

### ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ПЛИС-FPGA ДЛЯ РЕАЛИЗАЦИИ ДНФ

Предлагается и исследуется логический элемент программируемых логических интегральных схем типа FPGA в составе конфигурируемого логического блока. Традиционно логический элемент реализует логические функции в ДНФ. Однако сложность такой реализации резко увеличивается по мере возрастания числа переменных. Предлагаемый логический элемент снижает затраты на реализацию логических функций.

**Ключевые слова:** программируемая логическая интегральная схема (ПЛИС), логический элемент (ЛЕ), конфигурируемый логический блок (КЛБ), совершенная дизъюнктивная нормальная форма (СДНФ), дизъюнктивная нормальная форма (ДНФ).

В настоящее время так называемые крупнозернистые программируемые логические схемы (ПЛИС) типа FPGA (*field-programmable gate array*) содержат конфигурируемые логические блоки (КЛБ) [1], состоящие из логических элементов ЛЭ, программируемых локальных и глобальных матриц соединений МС – ЛМС, ГМС.

Логический элемент ЛЭ строится как постоянное запоминающее устройство ПЗУ (LUT – Look Up Table), представляющее собой для четырех переменных мультиплексор 16-1 (дерево мультиплексоров), входы данных которого настраиваются так называемыми конфигурируемыми ячейками памяти [1, 2].

Элементарные мультиплексоры 2-1 реализуются так же, как в коммутаторе (коммутатор также является мультиплексором), например, на основе двух цепочек из двух передающих МОП транзисторов [1].

Память конфигурации (настроечная информация логических элементов ЛЭ и матриц соединений МС) – это конфигурационные ячейки КЯ, каждая из которых содержит 6 транзисторов [3] (рис 1).

Модель шеститранзисторной SRAM в одной из систем схемотехнического моделирования представлена на рис. 2.

Таким образом, ПЗУ-LUT реализация ЛЭ ПЛИС-FPGA основана на совершенных дизъюнктивных нормальных формах (СДНФ) представления логических функций, что требует значительных аппаратных затрат. Так, количество транзисторов в ЛЭ без учета коммутаций зависит от  $2^n$ , где  $n$  – число переменных, и определяется выражением

$$L_{\text{ЛЕ-СДНФ}} = 7 \cdot 2^n + 2(n+1).$$

В самом дереве мультиплексоров на  $n$  переменных необходимо  $2^n$  транзисторов, в ячейках конфигурации (КЯ)  $6 \cdot 2^n$  транзисторов, и еще  $n + 1$  инвертор, в каждом из которых по 2 транзистора.

В то же время большая часть реализуемых  $m$  логических функций  $n$  переменных, например, в управляющих автоматах, имеет число конъюнкций  $k$  много меньшее, чем общее число наборов  $n$  двоичных переменных:

$$k \ll 2^n (2).$$

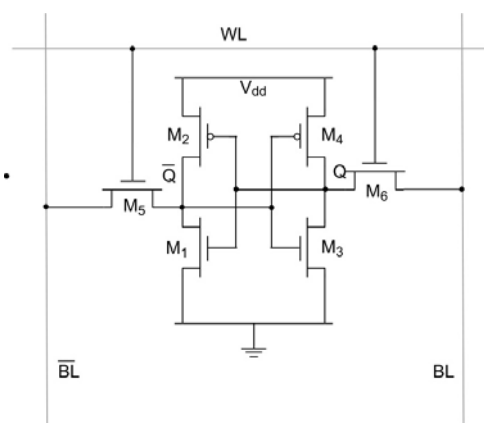


Рис. 1. Шеститранзисторная ячейка статической двоичной памяти (бит) SRAM

### Логический элемент ПЛИС-FPGA на основе ДНФ-реализации логических функций с использованием передающих транзисторов

В [4] предложена ДНФ-реализация логики на основе аппаратно реализованного алгоритма ПЛМ [5] –

программируемой логической матрицы с использованием в качестве базисных функционально полных толерантных (ФПТ) КМОП-элементов [6, 7]. Для реализации такого подхода с использованием МОП передающих транзисторов предложим блок про-

граммируемой конъюнкции (матрица «И»), в котором требуемая  $j$ -я конъюнкция  $n$  переменных ( $j = 1 \dots k$ ) по каждой  $i$ -й переменной будет формироваться с использованием двух бит конфигурационной памяти (рис. 3).

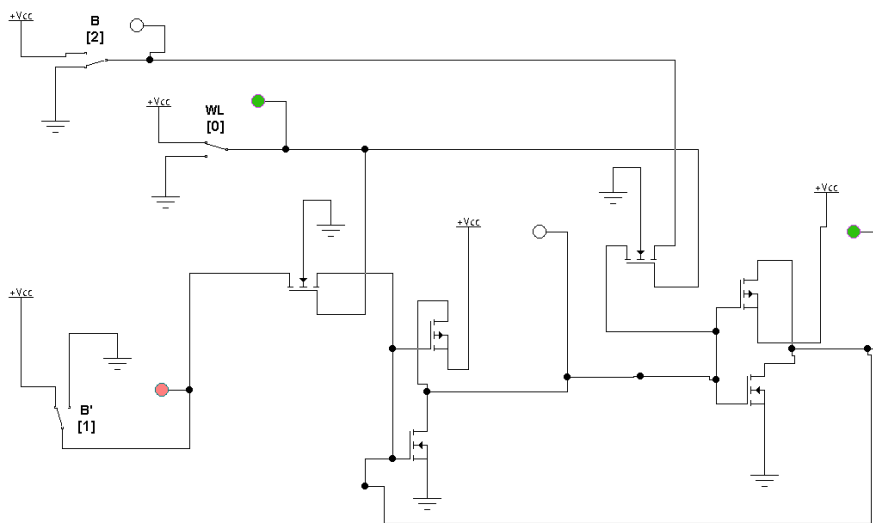


Рис. 2. Модель шеститранзисторной ячейки статической двоичной памяти (бит) SRAM

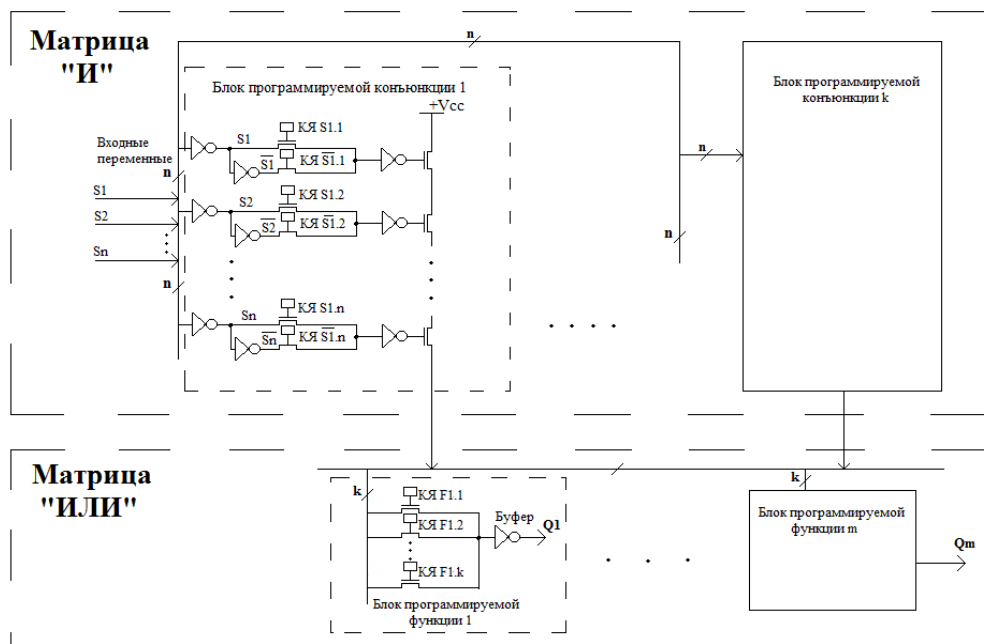


Рис. 3. Логический элемент ПЛИС-FPGA на основе ДНФ-реализации логических функций с использованием передающих транзисторов

В набираемую цепочку входит либо переменная  $S_i$ , либо ее инверсия ( $\bar{S}_i$ ), либо эта переменная отсутствует. Тогда, например, по первой переменной первой конъюнкции  $S_{1,1} = 1, \bar{S}_{1,1} = 0$ ; по второй переменной  $S_{2,1} = 0, \bar{S}_{2,1} = 1$ ; а по третьей, отсутствующей переменной,  $S_{3,1} = 1, \bar{S}_{3,1} = 1$ . То есть соответствующий передающий транзистор будет открыт всегда, на любом наборе.

В  $m$  блоках программируемой функции (матрица «ИЛИ»), например в первом, в конфигурационные ячейки  $F1.w$  ( $m = 1 \dots k$ ) записывается единица, если конъюнкция  $w$  входит в функцию, иначе записывается ноль.

Оценим аппаратные затраты на реализацию логического элемента ПЛИС-FPGA на основе ДНФ реализации логических функций с использованием передающих транзисторов:

$$L_{\text{ЛЕ-ДНФ}} = 18nk + m(6k + 2).$$

Выигрыш по сравнению с ЛЕ-СДНФ составляет:

$$\delta = \frac{7 \cdot 2^n + 2(n+1)}{18nk + m(6k + 2)}.$$

Для выражения  $S_0 \oplus S_1 \oplus S_2$  настройка логического элемента приведена в табл. 1 и 2.

Модель одного разряда матрицы «И» для ЛЕ-ДНФ представлена на рис. 4. Сравнение сложности в количестве транзисторов для ЛЕ-СДНФ и ЛЕ-ДНФ проиллюстрировано в табл. 3.

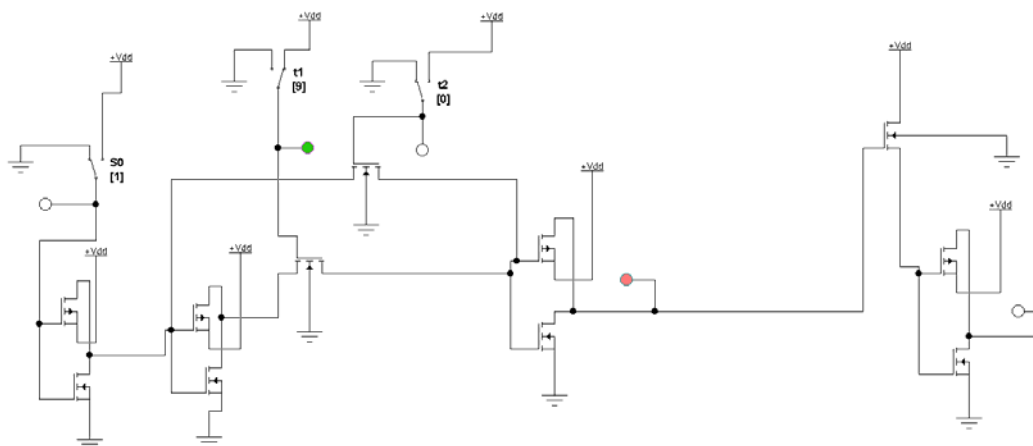


Рис. 4. Модель одного разряда матрицы «И» логического элемента ПЛИС-FPGA на основе ДНФ-реализации логических функций с использованием нагрузочного резистора на основе дополнительного транзистора

Таблица 3. Сравнение сложности в количестве транзисторов ЛЕ-СДНФ и ЛЕ-ДНФ

$n$	$m$	$k$	$L_{\text{ЛЕ-СДНФ}}$	$L_{\text{ЛЕ-ДНФ}}$
4	4	4	122	392
5	5	5	236	610
6	6	6	462	876
7	7	7	912	1190
8	8	8	1810	1552
9	9	9	3604	1962
10	10	10	7190	2420
11	11	11	14360	2926
12	12	12	28698	3480
13	13	13	57372	4082
14	14	14	114718	4732
15	15	15	229408	5430
16	16	16	458786	6176
32	32	32	30064771138	24640
64	64	64	$1,29E+20$	98432

**Заключение**

Таким образом, предлагаемый логический элемент ПЛИС-FPGA на основе ДНФ по сравнению с ЛЕ-СДНФ выигрывает при переходе к восьмиразрядным функциям (для  $n = k = m$ ). При этом существующий ЛЕ не может реализовать даже 32-разрядные функции, а предлагаемый имеет приемлемые затраты даже для 64-разрядных функций. Причем быстроедействие предлагаемого варианта так же, как и известного, определяемого в основном длиной це-

Таблица 1. Матрица «И» для ЛЕ-ДНФ

№	$S_{1,1}$	$\bar{S}_{1,1}$	$S_{2,1}$	$\bar{S}_{2,1}$	$S_{3,1}$	$\bar{S}_{3,1}$	Конъюнкция
1	1	0	1	0	1	1	$S_1 \vee S_2$
2	1	1	1	0	1	0	$S_2 \vee S_3$
3	1	0	1	1	1	0	$S_1 \vee S_3$
4	0	1	0	1	1	1	$\bar{S}_1 \vee \bar{S}_2$

Таблица 2. Матрица «ИЛИ» для ЛЕ-ДНФ

№	Fi.1	Fi.2	Fi.3	Fi.4	Функция
1	1	1	1	0	$i = 1; S_1 S_2 \wedge S_2 S_3 \wedge S_3 S_1$
2	0	0	1	1	$i = 2; S_1 S_3 \wedge \bar{S}_1 \bar{S}_2$

почки передающих транзисторов  $n$ , определяется цепочкой транзисторов в блоках программируемых конъюнкций – это также  $n$ , а цепочки в блоках программируемых функций содержат всего один транзистор. Предлагаемый вариант ЛЕ может служить основой для перспективных микропрограммно-аппаратных вычислителей логических функций, обеспечивающих повышение отказоустойчивости при отказах при частичном снижении скорости вычислений, например, в случае отказов в блоках программируемых конъюнкций и/или функций, либо в соседних ЛЕ. Такой же подход может быть использован в энергосберегающих ПЛИС-FPGA в режимах (спящем, дежурном), не требующих высокой скорости вычислений.

**Библиографические ссылки**

1. Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. – URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) 12.11.12 г.
2. Look up table implementation of fast carry for adders and counters: US 005274581A, 28.12.1993.
3. 6T SRAM Cell [Электронный ресурс]. – URL: <http://www.iue.tuwien.ac.at/phd/entner/node34.html> 12.12.12 г.
4. Тюрин С. Ф., Греков А. В., Набатов А. В. Микропрограммно-аппаратное восстановление логики программируемых логических интегральных схем с использованием функционально-полных толерантных элементов // Научно-технические ведомости СПбГПУ. Информатика. Телекоммуникации. Управление. – 2012. – № 1(140). – С. 107–112.

5. А. с. (СССР) № 1444892, G11C17/00, GO6F7/00. Программируемое логическое устройство / С. Ф. Тюрин, В. С. Харченко, С. Н. Ткаченко В. Я., Жихарев, В. П. Улитенко. Оpubл. БИ № 46, 1988.

6. Тюрин С. Ф. Проблема сохранения функциональной полноты булевых функций при «отказах» аргументов // Автоматика и телемеханика. – 1999. – № 9. – С. 176–186.

7. Tyurin S., Kharchenko V. Redundant Bases for Critical Systems and Infrastructures: General Approach and Variants of Implementation Proceedings of the 1st International Workshop on Critical Infrastructures Safety and Security, Kirovograd, Ukraine 11–13, May, 2011 / Tyurin S., Kharchenko V., Tagarev V. (edits). – Vol. 2. – P. 300–307.

S. F. Tyurin, DSc in Engineering, Perm National Research Polytechnic University

A. M. Morozov, Student, Perm National Research Polytechnic University

I. S. Ponurovskiy, Post-graduate, Perm National Research Polytechnic University

### Development of Logical PLD-FPGA Element for DNF Implementation

*Authors suggest and analyze logical element of FPGA-programmable logical device as part of a configurable logic block. Generally, logical element implements logical functions in DNF, however, with the growth of variables number the complexity of such implementation increases sharply. The suggested logical element decreases the cost of logical functions' implementation.*

**Key words:** field programmable logical device, logical element, configurable logic block, principal disjunctive normal form, disjunctive normal form.

УДК 621.317.7

**В. А. Куликов**, доктор технических наук, профессор, Ижевский государственный технический университет имени М. Т. Калашникова

**К. А. Никитин**, аспирант, Ижевский государственный технический университет имени М. Т. Калашникова

## МОДЕЛИРОВАНИЕ ПИД-РЕГУЛЯТОРА ТЕМПЕРАТУРЫ ДЛЯ ИСТОЧНИКА ТЕПЛООВОГО ПОТОКА

*Представлена схема и принцип работы термостата с ПИД-регулированием температуры источника теплового потока, результаты совместного моделирования электрической схемы термостата, логической схемы ПИД-регулятора и тепловой схемы нагревателя.*

**Ключевые слова:** источник теплового потока, термостат, ПИД-регулятор, датчик-нагреватель, моделирование.

**И**сточник теплового потока (ИТП) предназначен для градуировки и исследования метрологических характеристик датчиков плотности теплового потока погружаемого типа [1]. Подобные источники промышленностью не производятся, так как до настоящего времени отсутствовала потребность в них.

В состав ИТП (рис. 1) входят: сосуд Дьюара 1, в который помещены нагревательный элемент 2, задающий требуемую плотность теплового потока  $q$ , грунт 3 и выполненный в виде пластины стабилизатор температуры (СТ) 4 [2]. Для снижения теплопотерь в радиальном направлении используются четыре дополнительных кольцевых СТ 5, создающих на боковой стенке сосуда Дьюара градиент температуры, равный градиенту в объеме грунта.

Как показали исследования, для обеспечения высокой стабильности теплового потока, создаваемого в пространстве грунта между нагревательным элементом 2 и СТ 4, необходимо с высокой точностью обеспечивать постоянство температуры на пластине стабилизатора и градиента температуры на боковой стенке сосуда Дьюара. При этом внешние грани СТ подвергаются переменным во времени воздействиям температуры окружающей среды. Причем изменяет-

ся как сама температура среды, так и коэффициент теплоотдачи от СТ в среду.

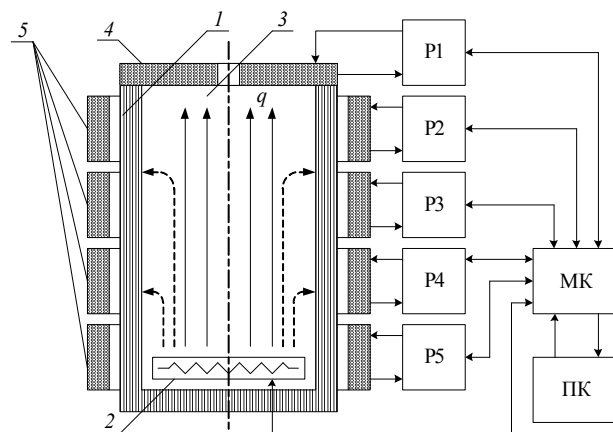


Рис. 1. Структурная схема лабораторного источника теплового потока: 1 – сосуд Дьюара; 2 – нагреватель; 3 – грунт; 4, 5 – стабилизаторы температуры; P1–P5 – регуляторы температуры; МК – микроконтроллер; ПК – персональный компьютер

Стабилизатор температуры выполнен в виде медного термопреобразователя сопротивления (ТПС),