

УДК 621.3.049.77:621.396.677

DOI: 10.22213/2413-1172-2020-2-91-99

Разработка протокола информационно-управляющего сопряжения для блока управления антенной

М. Н. Янковой, магистрант, Национальный исследовательский технологический университет «МИСиС», Москва, Россия

Л. В. Маркарян, кандидат технических наук, доцент, Национальный исследовательский технологический университет «МИСиС», Москва, Россия

Представлена разработка протокола простой и надежной передачи данных для блока управления антенной в жестких условиях эксплуатации. Логический уровень протокола реализован на ПЛИС на базе протокола HDLC. Физическая линия передачи данных представляет резервированный, гальваноразвязанный интерфейс с биполярным самосинхронизирующимся кодом Manchester-II.

Актуальность разработки протокола обусловлена внедрением отечественной элементной базы, устойчивой к жестким воздействиям окружающей среды, в том числе и радиации, и степенью важности развития космической отрасли в целом, а также сфер, зависящих от нее.

Рассмотрено назначение блока управления антенной. Обоснована необходимость разработки протокола информационно-управляющего сопряжения для блока управления. Проведен обзор научно-технической информации о составляющих данного протокола. Рассмотрены физический, канальный и информационный уровни разработанного протокола, а также представлена реализация канального и информационного уровня на языке Verilog HDL для ПЛИС.

В программе Quartus-II разработан программный код, который реализует канальный и информационный уровни передачи данных на основе протокола информационно-управляющего сопряжения блока управления антенной с блоком-вычислителем. После чего из отдельных блоков кода формируется схемотехнический проект, где для блоков задаются входные и выходные сигналы.

Моделирование протокола передачи данных проведено в среде для отладки ModelSim-Altera, а также на отработочной плате. Моделирование подтвердило правильность выбранных решений в процессе создания протокола передачи данных. На заданную команду получена верная ответная квитанция с двумя байтами контрольной суммы. Переданные данные равны принятым данным, и контрольная сумма при приеме и передаче равны друг другу.

Материал, представленный в данной научной статье, может быть принят разработчиками за основу реализации обмена данными между техническими устройствами, для которых остро стоит вопрос экономии ресурсов ПЛИС.

Ключевые слова: блок управления антенной, программирование ПЛИС, информационно-управляющее сопряжение, протокол передачи данных.

Введение

Современные технологии тесно связаны со спутниковыми системами, которые, в свою очередь, позволяют решать мирные и военные задачи. Множество спутников находятся за пределами солнечной системы и позволяют получать ценные научные данные. В данной научной статье представлена разработка, связанная с одной из важнейших систем спутника – блоком управления антенной [1]. Блок управления антенной предназначен для отработки траектории движения антенны во время проведения сеанса связи. При создании такого блока управления руководствуются требованиями к надежности, управлению и функционалу.

Блок управления антенной связан с блоком-вычислителем – инициатором отработки траектории по схеме «точка – точка в полудуплексном режиме» – и имеет резервный канал связи, если основная линия не передает сигнал по каким-либо причинам. Уровни передачи данных:

- физический;
- канальный;
- информационный [2].

Блок-вычислитель (БВ) – устройство канала связи. Через это устройство происходит обмен данными с множеством блоков и разными интерфейсами на космическом аппарате. По своей сути вычислитель является устройством, выполняющим команды управления космическим

аппаратом, который осуществляет выдачу информации согласно заданным алгоритмам.

Блок управления антенной (БУА) – ведомое устройство канала связи. Данный блок в ответ на любую команду, принятую по основному каналу связи, всегда отвечает по основному каналу связи. Ответ по резервному каналу производится только при получении команды по резервному каналу.

Вычислитель выдает для блока управления три типа кодовых слов – команд. Блок управления отвечает тремя типами кодовых слов – квитанциями. Каждой команде соответствует квитанция. Команды: «сверка времени» (СВ), «массив траекторных точек», «запрос состояния». Квитанции: квитанция СВ, квитанция «массив», «состояние».

Цель исследования – разработка протокола информационно-управляющего сопряжения для блока управления антенной. Протокол определяет состав и порядок выполнения команд, а также устанавливает, в каких состояниях может находиться блок управления антенной и при каких условиях.

Постановка задачи

Блок управления представляет собой устройство, которое получает сигналы угловых датчиков от бортовой антенной системы и формирует управляющие воздействия для приводов двух осей антенны в сеансном режиме работы. Процесс формирования управляющего воздействия состоит из следующих этапов:

- прием сигналов абсолютных значений \sin и \cos датчика положения угла;
- преобразование аналогового сигнала в цифровой;
- расчет угла при помощи обратного CORDIC-алгоритма;
- расчет разницы между заданным углом положения антенны и текущим;
- формирование значения выходного угла (угол положения $\pm 90^\circ$);
- расчет абсолютных значений \sin и \cos выходного угла при помощи CORDIC-алгоритма;
- широтно-импульсная модуляция сигнала;
- управление сигналами воздействия на электродвигатель при помощи силовых ключей.

Чтобы блок управления мог получать данные о траектории движения и времени в период сеанса связи, необходимо разработать протокол информационно-управляющего сопряжения с блоком-вычислителем (инициатором обмена). Обычно логику блока управления антенной осуществлял микропроцессор. Теперь задача впервые решена на отечественной ПЛИС,

которая имеет небольшой запас логических ресурсов. ПЛИС по сравнению с микропроцессором обеспечивает более точную обработку траектории движения антенны за счет синхронности и существенно большей частоты управляющего воздействия на механические приводы антенны.

Описание протокола информационно-управляющего сопряжения между блоком управления антенной и блоком-вычислителем

Протокол сопряжения определяет информационную структуру и порядок использования команд при организации информационного взаимодействия абонентов – блока управления антенной и вычислительного устройства – для обеспечения управления приемопередающей полноповоротной бортовой антенной. Управляющие команды и ответные сообщения – квитанции – состоят из определенных групп байтов. Порядок следования байтов в группе формируется по следующим правилам:

- элементы одномерных массивов, начиная с младшего индекса (адреса), выстраиваются по возрастанию в порядке увеличения индекса;
- многобайтные типы данных передаются в их естественном порядке, не требующем перестановки байт, как во время передачи, так и при приеме, то есть в последовательности, соответствующей порядку возрастания адресов при записи данных в память.

Логика обмена состоит в том, что блок управления кроме наведения антенны по требуемой траектории в заданное время должен подтверждать прием команд, чтобы при необходимости перевести обмен на резервный канал. Также блок управления должен формировать квитанцию со своим текущим состоянием и сообщать о положении антенны.

Для этих целей разработаны следующие команды и квитанции:

– «сверка времени» (СВ) – команда с фиксированной структурой и длиной. Передает код реального времени блоку управления антенной. По факту приема команды внутренние часы блока управления синхронизируются. Первая команда, приходящая в ПЛИС блока управления, обязательно должна являться «сверкой времени». Команда «массив» при включении комплекса игнорируется до получения СВ. Код «сверки времени» состоит из 9 байтов;

– «массив» – команда, имеющая фиксированную структуру и переменную длину. Передает информацию о времени начала обработки траектории, траекторных точках, шаге времени между

двумя соседними точками. Код команды может передавать до 2000 точек траектории;

– «запрос» – команда, при помощи которой можно узнать о состоянии антенны и правильности принятых данных команд. Блок управления передает состояние антенны и результат анализа массива в виде квитанции, фиксированной структуры и длины, которая называется «состояние». Данная квитанция формируется каждые 10 миллисекунд и выдается только по команде «запрос».

Физический уровень

Физически интерфейс информационного обмена состоит из двух идентичных каналов связи – основного и резервного. Каждый из каналов связи содержит в себе по две линии связи и работает в полудуплексном режиме. Каждая линия связи реализована в виде изолированной экранированной витой пары проводов с нормированным волновым сопротивлением, по которой передается информация только в одном направлении с использованием приемопередатчиков, соответствующих стандарту RS-485 [3].

Линии связи основного и резервного каналов со стороны БВ и БУА содержатся в одном соединителе. Линии связи двух каналов связи гальванически изолированы друг от друга, от корпуса и от других электрических цепей бортовой аппаратуры командно-измерительной

системы. Переход между линиями связи осуществляется в случае отсутствия ответных квитанций при первой и повторной отправки команды с тайм-аутом 0,5 с.

Канальный уровень

Передача кодовых слов выполняется с применением биполярного кода Manchester-II с дополнительным использованием принципа «передача информации с пассивной паузой» [4].

1. Логическая единица кодируется биполярным переходом из высокого уровня в низкий ($1 \rightarrow 0$) в середине интервала времени двоичного разряда.

2. Логический нуль кодируется биполярным переходом из низкого уровня в высокий ($0 \rightarrow 1$) в середине интервала времени двоичного разряда.

3. При отсутствии информационного обмена формируется состояние информационной паузы (импульсы напряжения в линиях отсутствуют).

Данный код выбран для разработки в связи с тем, что он является помехоустойчивым, самосинхронизирующимся и не требует дополнительных устройств защиты. Другими словами, данный код отлично подходит для применения в условиях космоса и экономит ресурсы ПЛИС.

Вид сигнала в линии на примере передачи одиночной последовательности 01111110 приведен на рис. 1.

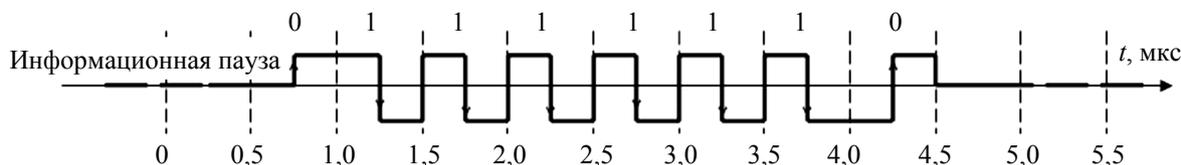


Рис. 1. Пример передачи последовательности 01111110

Fig. 1. Example of transmission sequence 01111110

Информационный уровень

Пакетный уровень передачи данных представляет собой специальный протокол, в котором пакеты состоят из последовательности байтов, где, в свою очередь, пакеты соответствуют определенным командам. Изначально за основу был взят протокол HDLC [5], который был изменен для упрощения логики работы. Так как HDLC не зависит от конкретного кода при выполнении функции управления каналом, в данном протоколе появилась синхропосылка, был исключен стоп-байт и флаг встречается в последовательности данных один раз – в начале. Поэтому битстаффинг и байтстаффинг потеряли свою актуальность и также были исключены из протокола. Конец пакета определяется счетчи-

ком, так как длина команд «запрос» и «сверка времени» фиксирована, а в каждой команде «массив» содержится значение длины пакета. Структура каждого пакета в общем виде имеет следующую последовательность.

Синхропосылка – 8 бит в двоичной системе 01010101, в шестнадцатиричной – 0x55. Любая последовательность в рамках протокола начинается с синхропосылки, которая состоит из восьмиразрядного слова 01010101. Данное слово выбрано не случайно. При тестировании с помехами терялся фрагмент флага, что не удовлетворяло требованиям. Последовательность «01» задает «длинный» сигнал, что позволяет счетчику синхронизироваться до начала приема основной посылки.

Флаг – 01111110 или 0x7E в шестнадцатиричном представлении. Данная последовательность является признаком начала пакета.

Код команды – данное поле определяет, что должен выполнять блок управления антенной.

Данные – байты, передаваемые после кода команды, несущие информацию. В команде «запрос» состояния, квитанции массива и квитанции сверки времени данное поле отсутствует.

Контрольная сумма – специальная последовательность бит, сформированная определенным образом для проверки целостности пакета при передаче между приемником и передатчиком, выполненная при помощи полинома $X^{16} + X^{12} + X^5 + 1$ и называемая CRC16 [6]. Формат команд вычислителя представлен в табл. 1, а формат квитанций БУА – в табл. 2.

Таблица 1. Формат команд блока-вычислителя

Table 1. Format of commands for block-calculator

Команда	Формат передачи команды				Примечание	
Запрос	Синхропосылка	Флаг	Код команды		Контрольная сумма (КС)	Запрос состояния БУА
	01010101	01111110	11010101		CRC16 (2 байта)	
СВ	Синхропосылка	Флаг	Код команды	Данные	КС	Сверка времени
	01010101	01111110	10100011	4 байта прямой код	CRC16 (2 байта)	
Массив	Синхропосылка	Флаг	Код команды	Данные	КС	Массив траекторных точек
	01010101	01111110	10010000	18...9614 байт	CRC16 (2 байта)	

Таблица 2. Формат квитанций блока управления антенной

Table 2. Format of messages for antenna control block

Квитанция	Формат передачи команды				Примечание	
Состояние	Синхропосылка	Флаг	Код квитанции	Данные	КС	Квитанция на команду Запрос состояния БУА
	01010101	01111110	11010101	32 байта	CRC16 (2 байта)	
КВ СВ	Синхропосылка	Флаг	Код квитанции	КС		Квитанция на команду Сверка времени
	01010101	01111110	10100011	CRC16 (2 байта)		
КВ-массив	Синхропосылка	Флаг	Код квитанции	КС		Квитанция на команду Массив траекторных точек
	01010101	01111110	10010000	CRC16 (2 байта)		

Реализация протокола информационно-управляющего сопряжения

Приемник команд и передатчик квитанций реализуются в ПЛИС платы «вычислитель» блока управления антенны (БУА-В) при помощи языка проектирования Verilog HDL, а моделирование процесса передачи данных производится в программе Model Sim-Altera.

Verilog HDL – это язык описания аппаратуры, используемый для моделирования и описания электронных систем [7]. Verilog наиболее часто используется для верификации, проектирования и реализации аналоговых, цифровых и смешанных электронных систем на различных уровнях абстракции [8].

Quartus-II – средство разработки устройств с высокой степенью интеграции, включая разработку законченных систем на одном программируемом кристалле (System on a programmable chip (SOPC)). Quartus-II сочетает в себе проектирование, синтез, размещение элементов, трассировку соединений и верификацию, а так-

же поддерживает связь с системами проектирования других производителей [9].

ModelSim-Altera – программная среда, необходимая для симуляции и отладки HDL-программ, написанных на различных языках проектирования. При своей довольно скромной ресурсоемкости данная среда отлично подходит для разработчика. Она может быть подключена к системам проектирования на ПЛИС и использована как мощный отладчик вместо слабых по возможностям встроенных симуляторов, например, симулятор в программе Quartus-II. Также Model Sim имеет встроенную возможность написания алгоритмов работы цифровых устройств [10].

Для реализации протокола информационно-управляющего сопряжения написана программа, в которой вся логика сначала описывается отдельными блоками кода, где каждый из таких блоков выполняет свою функцию. После успешного написания блоков они соединяются между собой. Таким образом, создается проект-

ная система связей блоков кода в схематехническом виде. Весь код программы написан на языке Verilog и преобразован в схематичные элементы. На рис. 2 изображена часть программного кода одного из блоков – `pre_encoder`. В этом блоке реализуется прием 8-разрядных слов из заранее сформированной памяти, которая вместе с блоком `pre_encoder` имитирует работу блока-вычислителя, распознает тип входящей

информации, формирует контрольную сумму и выдает несколько сигналов: управляющий сигнал, побитовые данные и период формирования кода Manchester-II на следующий блок, который формирует непосредственное манчестерское кодирование. Блоки программного кода, интерпритированные в схематичные элементы, соединяются при помощи электрических цепей.

```

1  module pre_encoder(clk, clk6, start, in_count, q8, staf_data, adress, flag_tr);
2  input clk, start;
3  input [7:0] q8;
4  input [10:0] in_count;
5  output reg clk6=0;
6  reg[3:0] cnt_fg=0;
7  reg[15:0] fcs=16'b1111111111111111;
8  output reg[10:0] adress=0;
9  reg[3:0] count_period=0;
10 reg start_done=0;
11 reg transfer=0;
12 output reg staf_data=0;
13 reg [3:0] count16=0;
14 reg break16=0;
15 reg [2:0] count8=0;
16 reg [10:0] size=0;
17 output reg flag_tr=0;
18 always @(posedge clk)
19 begin
20     if(count_period<3)
21         clk6<=1;
22     else
23         clk6<=0;
24     if(count_period<5)
25         count_period<=count_period+1;
26     else
27         count_period<=0;
28     if(start_done==1)
29         begin
30             if((break16==1)&&(count_period==0)) count16<=count16+1;
31             else count16<=count16;
32         end
33     else
34         begin
35             if((count8==7)&&(count_period==5)) count16<=0;
36             else count16<=count16;
37         end
38     if(start==1) size<=in_count-1;
39     else size<=size;

```

Рис. 2. Часть программного кода блока `pre_encoder`

Fig. 2. Piece of program code for block `pre_encoder`

На рис. 3 и 4 представлены следующие блоки:

- `pre_encoder` – преобразует байты, полученные из памяти, в биты, формирует контрольную сумму, управляющий сигнал и период генерации кода для формирователя манчестерского кода;

- `encoder` – формирователь кода Manchester-II для передачи по интерфейсу RS-485;

- `reciver_bua` – блок, принимающий код Manchester-II по интерфейсу RS-485, восстанавливает биты информации, определяет, какие

данные были получены, подсчитывает контрольную сумму и сравнивает ее с полученной контрольной суммой;

- `transmitter_answer_bua` – в зависимости от полученных команд принимает решение, какую квитанцию необходимо послать обратно в блок-вычислитель, и отправляет данные в виде манчестерского кода.

После того как схема функционирования блоков полностью отлажена, симулируется процесс передачи данных. На рис. 5 представлен результат работы прошивки.

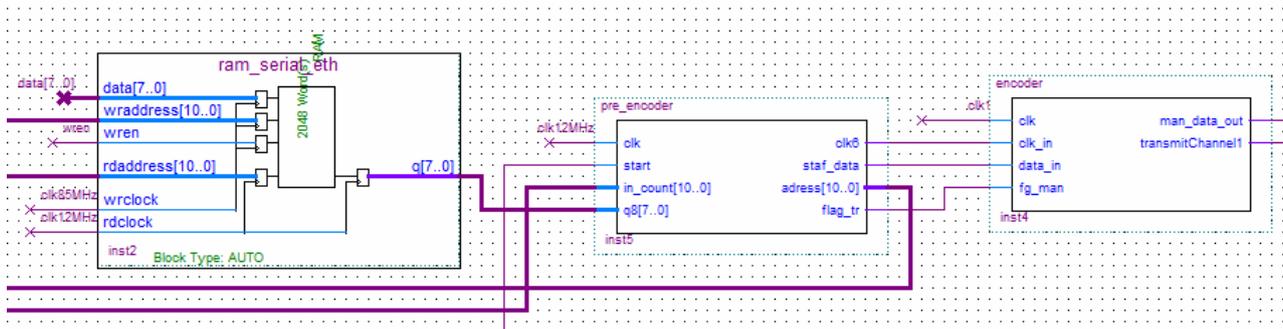


Рис. 3. Схема соединения блоков кода (часть 1)

Fig. 3. Code blocks connection diagram (part 1)

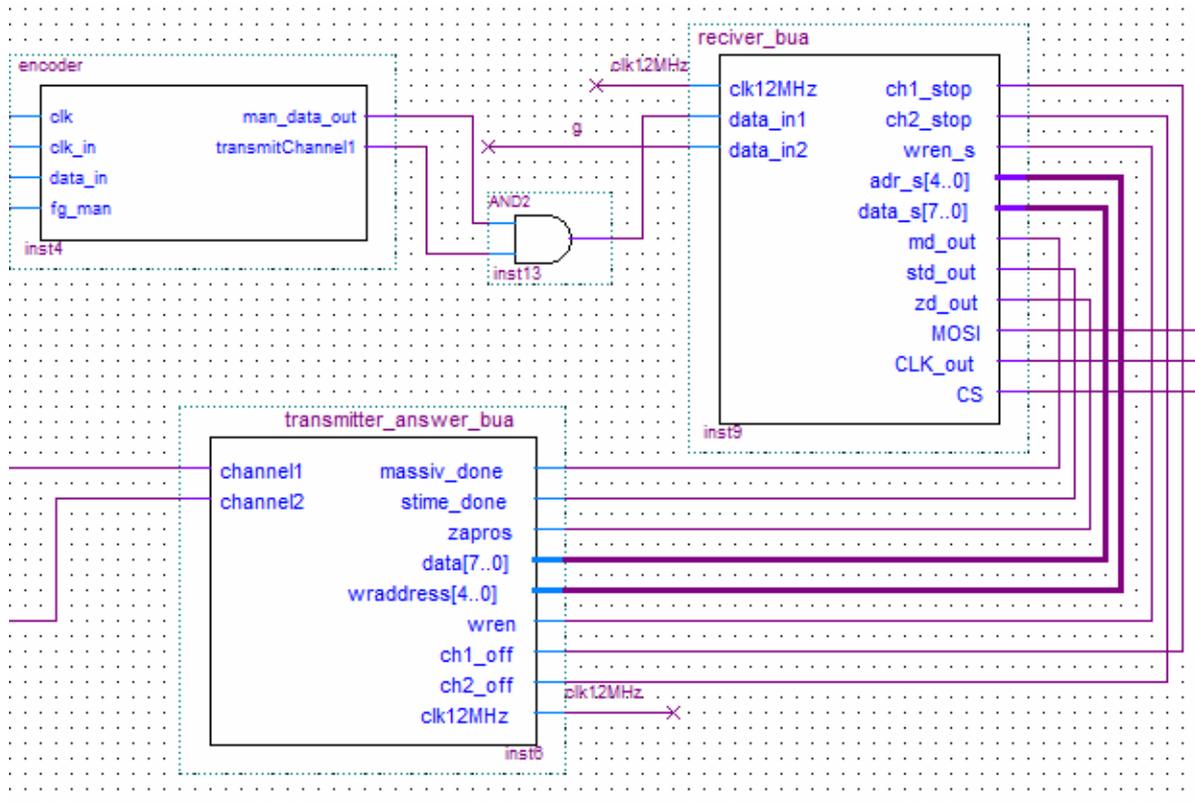


Рис. 4. Схема соединения блоков кода (часть 2)

Fig. 4. Code blocks connection diagram (part 2)

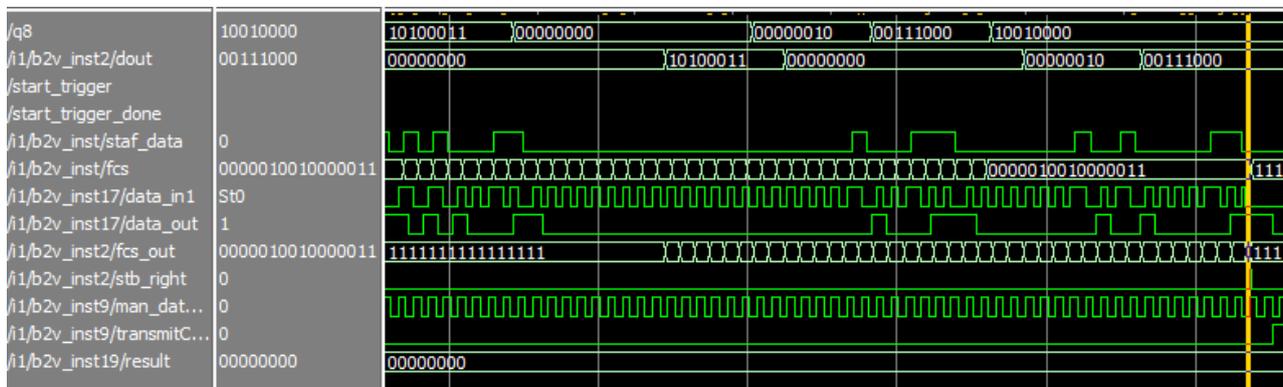


Рис. 5. Результат работы передачи пакета данных из БВ в БУА

Fig. 5. Result of data packet transmission from BV to BUA

На рисунке изображено следующее. Регистр приемника dout имеет те же значения, что и регистр передатчика q8, но с запаздыванием на несколько тактов (на время обработки сигнала). Это значит, что принятые данные соответствуют переданным. Сравнение контрольных сумм

подтверждает успешность передачи данных. В таблице слева видно, что значение fcs и fcs_out в конце приема совпадают, и равны 0000010010000011 (hex 0483). Подтверждающий сигнал stb_right дает разрешение на отправку соответствующей квитанции (рис. 6).

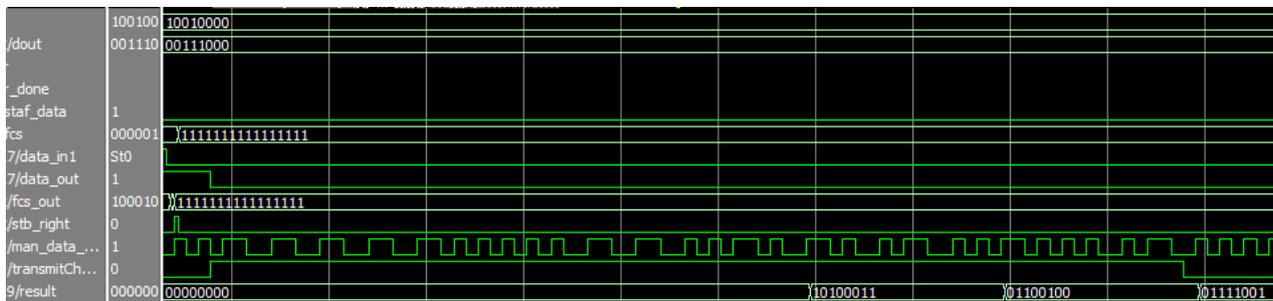


Рис. 6. Отправка ответной квитанции

Fig. 6. Sending response data

На рисунке видно, что после срабатывания сигнала stb_right начинается передача квитанции из БУА в БВ. В двух предпоследних строках изображена передача манчестерского кода и управляющего сигнала, который ограничивает длину посылки. В нижней строке отображен результат приема квитанции в блоке вычислителя – 3 байта (hexA3 64 79), где первый байт соответствует верной квитанции в соответствии с таблицей 2 (3-я строка), а hex 6479 соответствует контрольной сумме. Правильность можно проверить при помощи специальных онлайн-программ, которые помогают рассчитать CRC-16.

Заключение

Представлена разработка протокола передачи данных для блока управления антенной на отечественной элементной базе в условиях жестких внешних воздействий, который разработан с использованием биполярного кода Manchester-II с пассивной паузой и на основе протокола HDLC, оптимизированного для сокращения используемых ресурсов ПЛИС. Данный протокол разработан с нуля и реализует необходимый функционал в полном объеме.

Канальный и информационный уровни передачи данных успешно реализованы на языке проектирования Verilog HDL для ПЛИС платы «вычислитель» блока управления антенны.

При моделировании системы был получен верный результат работы системы. На команду A3(hex) с информационным полем 4 байта и контрольной суммой 2 байта получена верная ответная квитанция A3(hex) с двумя байтами контрольной суммы, что полностью соответ-

ствует табл. 1 и 2. Переданные данные равны полученным, контрольные суммы при приеме и передаче также равны друг другу.

Библиографические ссылки

1. Ражиков В. Н., Беляев А. Н. Разработка механизма наведения бортовой антенны космического аппарата // Металлообработка. 2018. № 2 (104). С. 44–48.
2. Джеймс Куроуз, Кит Росс. Компьютерные сети. Нисходящий подход. 6-е изд. М. : Э, 2016. 912 с. ISBN 978-5-699-78090-7.
3. Дыбля А. Ю., Дыбля Ю. В. Использование промышленного интерфейса RS-485 и протокола передачи данных MODBUSRTU в системах диспетчеризации зданий // Славянский форум. Институт гуманитарных наук, экономики и информационных наук. 2019. № 4 (26). С. 319–327.
4. Помехоустойчивое кодирование в современных форматах связи / А. С. Костюков, А. В. Башкиров, Л. Н. Никитин, И. С. Бобылкин, О. Ю. Макаров // Вестник Воронежского государственного технического университета. 2019. № 2 (15). С. 132–138.
5. Payal Gupta, Pankaj Gulhane. Design and Implementation of HDLC controller Using VHDL code. *International Journal of Advanced Research, Ideas and Innovations in Technology*, 2017.
6. Мыцко Е. А. Проектирование и реализация устройств на ПЛИС вычисления циклических избыточных кодов CRC32 // Высокопроизводительные вычислительные системы и технологии. 2019. № 1 (3). С. 60–67.
7. Харрис Д. М., Харрис С. Л. Цифровая схемотехника и архитектура компьютера. Дополнение по архитектуре ARM. М. : ДМК-Пресс, 2019. 356 с. ISBN 978-5-97060-650-6.
8. Басс А. В., Антонов М. А. Работа с ПЛИС с использованием языка описания аппаратуры Verilog //

Известия тульского государственного университета. Технические науки. 2019. № 3. С. 19–24.

9. Joseph Cavanagh. Verilog HDL design examples. CRC Press Publ., 2017, 920 p. ISBN: 9781315103846.

10. Стешенко В. Б. ПЛИС фирмы Altera. Элементная база, система проектирования и языки описания аппаратуры. М. : ДМК-Пресс, 2015. 576 с. ISBN 978-5-97060-342-0.

References

1. Razhikov V.N., Beljaev A.N. [The development of the guidance mechanism of the onboard antenna of the spacecraft]. *Metalloobrabotka*, 2018, no. 2, pp. 44-48 (in Russ.).

2. Dzhejms Kurouz, Kit Ross. *Komp'juternye seti. Nishodjashhij podhod* [Computer networks. Top-down approach]. Moscow, E Publ., 2016, 912 p. (in Russ.). ISBN: 978-5-699-78090-7.

3. Dyblja A.Ju., Dyblja Ju.V. [Using the industrial RS-485 interface and MODBUS RTU data transfer protocol in building management systems]. *Slavjanskij forum. Institut gumanitarnyh nauk, jekonomiki i informacionnyh nauk*, 2019, no. 4, pp. 319-327 (in Russ.).

4. Kostjukov A.S., Bashkirov A.V., Nikitin L.N., Bobylkin I.S., Makarov O.Ju. [Noise-resistant coding in modern communication formats]. *Vestnik Voronezh-*

skogo gosudarstvennogo tehničeskogo universiteta, 2019, no. 2, pp. 132-138 (in Russ.).

5. Payal Gupta, Pankaj Gulhane. Design and Implementation of HDLC controller Using VHDL code. *International Journal of Advanced Research, Ideas and Innovations in Technology*, 2017.

6. Mycko E.A. [Design and implementation of FPGA devices for computing cyclic redundancy codes CRC32]. *Vysokoproizvoditel'nye vychislitel'nye sistemy i tehnologii*, 2019, no. 1, pp. 60-67 (in Russ.).

7. Harris D.M., Harris S.L. *Cifrovaja shemotekhnika i arhitektura komp'jutera. Dopolnenie po arhitekture ARM* [Digital circuitry and computer architecture. ARM architecture add-on]. Moscow, DМК-Press Publ., 2019, 356 p. (in Russ.). ISBN: 978-5-97060-650-6.

8. Bass A.V., Antonov M.A. [Working with FPGAs using the Verilog hardware description language]. *Izvestija tul'skogo gosudarstvennogo universiteta. Tehničeskie nauki*, 2019, no. 3, pp. 19-24 (in Russ.).

9. Joseph Cavanagh. Verilog HDL design examples. CRC Press Publ., 2017, 920 p. ISBN: 9781315103846.

10. Steshenko V.B. *PLIS firmy Altera. Jelementnaja baza, sistema proektirovanija i jazyki opisanija apparatury* [FPGA company Altera. Element base, design system and hardware description languages]. Moscow, DМК-Press Publ., 2015, 576 p. (in Russ.). ISBN: 978-5-97060-342-0.

Development of Information-Control Interface for Communication of Spacecraft Units

M.N. Yankovoy, Master's Degree Student, MISiS National Research Technological University, Moscow, Russia

L.V. Markaryan, PhD in Engineering, Associate Professor, MISiS National Research Technological University, Moscow, Russia

The paper presents the development of a Protocol for simple and reliable data transmission for the antenna control unit in harsh operating conditions. The logical level of the Protocol is implemented on the FPGA based on the HDLC Protocol. The physical data link is a redundant, galvanically coupled interface with a bipolar self-synchronizing Manchester-II code.

The relevance of developing the Protocol is the introduction of a domestic elemental base that is resistant to harsh environmental impacts, including radiation, the degree of importance of the development of the space industry as a whole, and the spheres that depend on it.

The paper discusses the purpose of the antenna control unit. The necessity of developing a Protocol for information and control interface for the control unit is justified. A review of scientific and technical information on the components of this Protocol is conducted. The physical, channel, and information levels of the developed Protocol are considered. The implementation of the channel and information layer in the Verilog HDL language for FPGAs is also presented.

The QuartusII program has developed a program code that implements the channel and information levels of data transmission based on the Protocol of information and control interface of the antenna control unit with the computer unit. After that, a circuit design is formed from individual code blocks, where input and output signals are set for the blocks.

Data transfer Protocol modeling was performed in the ModelSim-Altera debugging environment and the development board. The simulation confirmed the correctness of the chosen solutions in the process of creating the data transfer Protocol. The correct response receipt with two bytes of checksum was received for the specified command. The transmitted data is equal to the received data, and the checksum for receiving and transmitting is equal to each other.

Developers can accept the material presented in this scientific paper as the basis for implementing data exchange between technical devices, for which the issue of saving FPGA resources is acute.

Keywords: antenna control unit, FPGA programming, information-control interface, data transfer protocol.

Получено 10.03.2020

Образец цитирования

Янковой М. Н., Маркарян Л. В. Разработка протокола информационно-управляющего сопряжения для блока управления антенной // Вестник ИжГТУ имени М. Т. Калашникова. 2020. Т. 23, № 2. С. 91–99. DOI: 10.22213/2413-1172-2020-2-91-99.

For Citation

Yankovoy M.N., Markaryan L.V. [Development of Information-Control Interface for Communication of Spacecraft Units]. *Vestnik IzhGTU imeni M.T. Kalashnikova*, 2020, vol. 23, no. 2, pp. 91-99 (in Russ.). DOI: 10.22213/2413-1172-2020-2-91-99.